

Propuesta de test funcional para filtros pasabanda de capacidades conmutadas embebidos en sistemas en chip reconfigurables

Functional test proposal for switched capacitor bandpass filters embedded in reconfigurable systems on chip

Presentación: 6-7/10/2020

Doctorando:

Emanuel Dri

Grupo de Estudios de Calidad en Mecatrónica (GeCAM), Facultad Regional Villa María, Universidad Tecnológica Nacional – Argentina
emanueldri@frvm.utn.edu.ar

Director/a:

Eduardo Romero

Co-director/a:

Gabriela Peretti

Resumen

Este trabajo presenta una propuesta de test funcional para filtros de capacidades conmutadas pasabanda implementados sobre hardware configurable analógico de sistemas en chip de señales mixtas, basado en análisis de respuesta transitorio. El esquema propuesto incorpora la generación de estímulos dentro del mismo chip bajo test, reduciendo el instrumental requerido. La validación del esquema de test se realizó mediante simulación del entorno completo de prueba. Los resultados obtenidos son alentadores para la aplicación de la estrategia, habiéndose encontrado mínimas diferencias entre las especificaciones funcionales obtenidas por la estrategia y los valores de diseño

Palabras clave: Test de hardware configurable analógico, filtrado analógico, sistemas en chip de señales mixtas, análisis de respuesta transitoria

Abstract

This work presents a functional test proposal for switched capacitor bandpass filters implemented on analog reconfigurable hardware of mixed – signal systems on chip, based on transient response analysis. The proposed scheme places stimuli generation inside the chip under test, reducing thus, the instrumental overhead. The test scheme was validated through simulation of the complete test environment. The results achieved are encouraging for the application of the strategy, having found low minimal differences between the functional parameters obtained through the strategy and the nominal ones.

Keywords: Analog reconfigurable hardware test, analog filters, mixed signal system on chip, transient response analysis

Introducción

Los microcontroladores de señales (μC) mixtas ofrecen soluciones prácticas de bajo coste, para un amplio rango de aplicaciones. Sus circuitos configurables (ACCs, analog configurable circuits) brindan gran flexibilidad al desarrollador de sistemas y le permiten implementar funciones de procesamiento de señales específicas para la aplicación del usuario. Esto contribuye a la miniaturización de los productos finales, a la vez que se reducen costos, se incrementa la confiabilidad y disminuye el tiempo de arribo al mercado.

Sin embargo, estas flexibilidades, a la vez que introducen facilidades para el desarrollador, dificultan la labor de test. Ello se debe a la ausencia de información detallada acerca de la verdadera implementación de los circuitos internos, baja observabilidad y controlabilidad, la complejidad de las señales a ser tratadas y condiciones de ruido adversas, entre algunas de ellas.

Debido a que el filtrado analógico es ampliamente usado, numerosos dispositivos ofrecen esta funcionalidad. Es por esta razón, que la formulación de estrategias de test para filtros, cuando son implementados en ACCs de μCs es relevante. En este sentido, resulta necesario poder chequear las especificaciones de filtros durante la fase de fabricación de productos basados en estos circuitos o detectar fallas durante su funcionamiento en campo.

A pesar de que el test de circuitos de señal mixta es un campo de investigación activo, un número relativamente bajo de trabajos se han enfocado en el test de ACCs. Entre ellos merecen citarse (Andrade et al., 2005; Tiago R. Balen et al., 2007; Dri et al., 2020; Laprovitta et al., 2014; Lovay et al., 2015). Asimismo, ninguno de ellos ha sido evaluado en el marco del test de filtros pasabandas. En (T.R. Balen et al., 2006) se plantea la posibilidad de realizar test de filtros pasabandas configurables a nivel de usuario, pero dicha posibilidad no es evaluada en el artículo.

El presente trabajo explora la viabilidad del uso del método de análisis de respuesta transitoria (TRAM, *transient response analysis method*) para obtener las especificaciones funcionales (EF) de filtros de capacidades conmutadas (SC, *switched capacitor*) pasabanda embebidos en las secciones analógicas del μC PSoC1 de Cypress Semiconductor©. TRAM es un método de test específico para filtros de segundo orden o una cascada de ellos (Calvano et al., 1999), que ha probado ser eficaz en ellos tanto para tests funcionales como de detección de fallas. La viabilidad del método se explora a partir de simulaciones SPICE de los filtros bajo test.

Filtros bajo test

PSoC1 es una plataforma de sistema en chip de señales mixtas, que cuenta con recursos usuales de μCs , tales como un procesador de 8 bits, memorias flash y SRAM, interfaces de comunicación embebidos, entre otros. También ofrece bloques configurables analógicos y digitales y rutas de interconexión configurables por el usuario. La plataforma ofrece dos tipos de ACCs, de tiempo continuo (CT, *continous time*) y SC (*PSoC® Programmable System-on-Chip™ Datasheet*, 2017).

Los filtros bajo test son configurados mediante la interconexión de dos bloques SC del chip. La Figura 1 muestra un diagrama esquemático de los mismos. En la figura, ϕ_1 y ϕ_2 son señales de reloj no solapadas de frecuencia f_s (frecuencia de muestreo). Los capacitores de la figura internamente corresponden a arreglos de capacitores programables, cuyo valor mínimo es 80fF. Los capacitores C1 a C4 pueden adoptar valores entre 0 y 31 veces el valor mínimo, mientras que CA y CB pueden adoptar los múltiplos 16 y 32.

Si bien la dinámica de estos filtros es de tiempo discreto, para frecuencias de operación menores a f_s , se los puede aproximar a sistemas de tiempo continuo, cuya función de transferencia es: (*Two-Pole Band-Pass Filter Datasheet BPF2*, 2013):

$$H_{BP}(s) = \frac{\frac{-C_1 C_B}{C_2 C_3} \frac{s}{f_s} \left(1 + \frac{s}{2f_s}\right) f_s^2}{s^2 + \frac{C_4}{C_2} \frac{s f_s}{\frac{C_A C_B}{C_2 C_3} - \frac{1}{4} - \frac{1}{2} \frac{C_4}{C_2}} + \frac{f_s^2}{\frac{C_A C_B}{C_2 C_3} - \frac{1}{4} - \frac{1}{2} \frac{C_4}{C_2}}} \quad (1)$$

Comparando la función de transferencia del filtro (1) con la función de transferencia genérica de un filtro pasabanda (2), se pueden determinar las especificaciones del filtro en función de los valores de los capacitores y fs.

$$H_{BP}(s) = \frac{K_{BP} \cdot \frac{\omega_n}{Q} \cdot s}{s^2 + s \frac{\omega_n}{Q} + \omega_n^2} \quad (2)$$

En (2) las EF son la ganancia en la banda de paso (K_{BP}), la frecuencia de polo (ω_n) y el factor de calidad (Q). Otras características de interés, como el ancho de banda (BW) y la frecuencia central (F_c) también pueden obtenerse si se simula la respuesta en frecuencia de la función de transferencia.

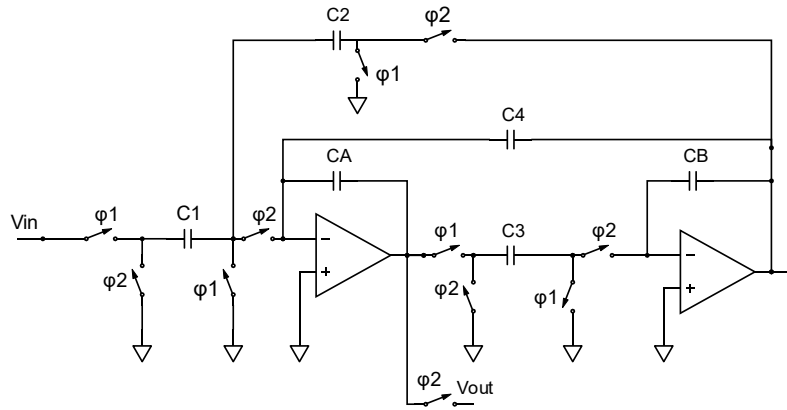


Figura 1. Diagrama esquemático de los filtros pasabanda de segundo orden en PSoC1

Consideraciones sobre TRAM

TRAM requiere que el filtro se excite con un estímulo de test adecuado para producir una respuesta sub – amortiguada. Para este propósito se usa un escalón, rampa o parábola en función del tipo de filtro (pasabajos, pasabanda o pasaltos). A continuación, los parámetros de la respuesta transitoria son medidos. Se asume que una falla en el filtro desviará los parámetros de la respuesta transitoria fuera de sus tolerancias libres de fallas y se apreciará un comportamiento de fallas.

Para el filtro pasabanda bajo test se utiliza una entrada tipo rampa, cuya función de transferencia tiene la forma P/s^2 , donde P es la pendiente de la entrada rampa. De esta forma, puede analizarse la respuesta transitoria del filtro pasabandas como si fuera pasabajos. La Figura 2 presenta los parámetros de la respuesta transitoria sub – amortiguada obtenida para la entrada en rampa (Ogata, 2010). En ella, T_p es el tiempo de pico, OS es la tensión de sobreimpulso, V_{pico} es la tensión máxima; V_{ini} y V_{fin} son las tensiones de estado estacionario inicial y final.

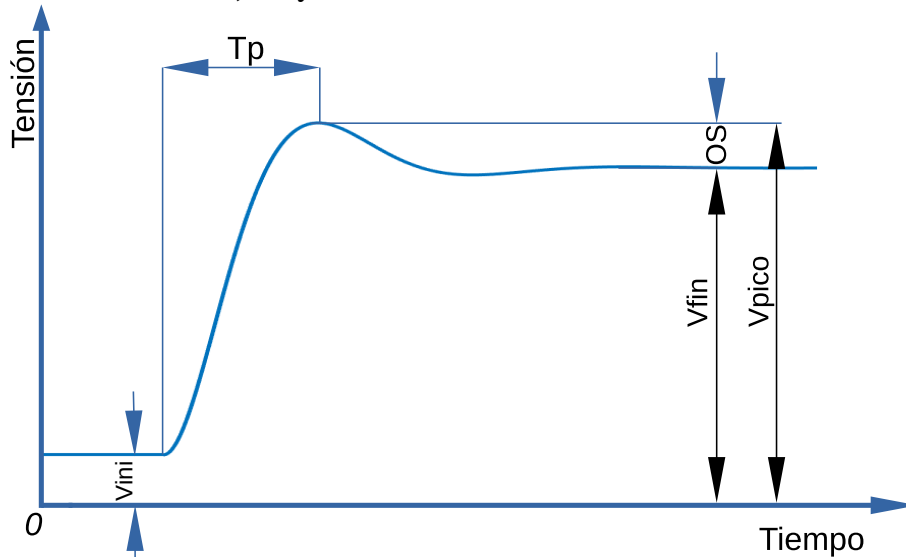


Figura 2. Parámetros de la respuesta transitoria sub – amortiguada

A partir los parámetros T_p y OS de la Figura 2 pueden determinarse ω_n y Q , como se señala en (3) y (4).

$$\omega_n = \frac{\pi}{T_p} \cdot \frac{1}{\sqrt{1 - \frac{1}{2Q}}} \quad (3)$$

$$Q = \frac{1}{2} \sqrt{\left(\frac{\pi}{\ln(OS)}\right)^2 + 1} \quad (4)$$

La ganancia del filtro pasabajos equivalente se calcula como:

$$K_{LP} = \frac{V_{fin} - V_{ini}}{P} \quad (5)$$

La ganancia del filtro pasabanda se calcula como:

$$K_{BP} = K_{LP} \cdot \omega_n \cdot Q \quad (6)$$

Esquema general de test

La Figura 3 muestra el diagrama del esquema de test propuesto. A fin de reducir la carga instrumental requerida, los estímulos de test son generados empleando los recursos configurables del chip, de forma análoga a como se hizo en (Dri et al., 2020). Debido a que PSoC1 no dispone de un mecanismo directo para producir la señal rampa necesaria para testear los filtros pasabanda se, en el esquema se implementó un generador de señal escalón, en cascada con un integrador SC.

La señal rampa producida en el integrador es conducida hacia el filtro bajo test y posteriormente derivada hacia un pin de salida, para capturarla en una placa de adquisición (DAQ) u osciloscopio digital conectado a una computadora desde donde procesan para determinar las EF del filtro.

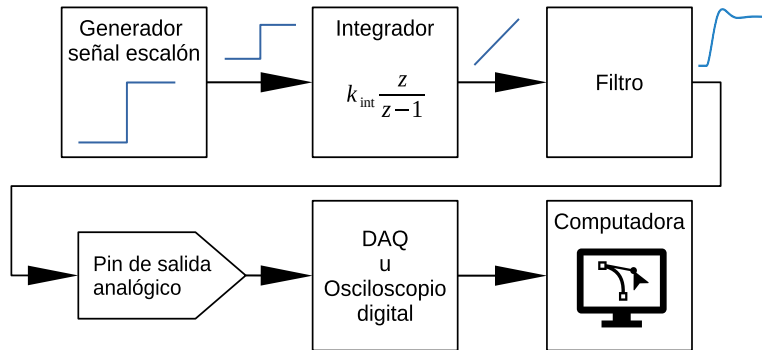


Figura 3. Esquema general de test

Para evaluar el esquema de la Figura 3, este se replicó en el simulador SPICE incorporando un modelo del integrador y el filtro bajo test. La respuesta del filtro posteriormente se analizó empleando los mismos métodos computacionales que usarían en un filtro real. Debemos destacar que el fabricante de PSoC1 no provee modelos de simulación, por lo cual estos debieron ser desarrollados para tal fin. Estos se construyeron replicando sus diagramas esquemáticos (Figura 2), (*User Module Datasheet: Analog Switched Capacitor PSoC Block Datasheet SCBLOCK*, 2015).

La función de transferencia de los integradores SC (7) de PSoC1 depende de la relación de dos capacitores programables, $FCap$ y $ACap$ y de la frecuencia de muestreo f_s . Variando estos valores se puede ajustar su ganancia.

$$H(s)_{int} = \frac{ACap \cdot f_s}{FCap \cdot s} \quad ; \quad ACap \in 0..31 \quad ; \quad FCap \in \{16; 32\} \quad (7)$$

Validación de la aplicabilidad de TRAM

A fin de validar la estrategia de test, se evaluó la capacidad de determinar las EF en una configuración de filtro adoptada como caso de prueba, cuyas especificaciones se muestran en la Tabla 2. Estas fueron determinadas a

partir de la función de transferencia del filtro y los valores de los capacitores que seleccionó el IDE de diseño de PSoC1, a partir de los parámetros de diseño de la Tabla 1.

Tabla 1. Parámetros de diseño del filtro adoptado como caso de prueba

Parámetro de diseño	K	BW	fs	Fc
Valor	1 V/V	1KHz	200KHz	2KHz

Tabla 2. Especificaciones funcionales de la configuración de filtro adoptada como caso de prueba

Parámetro	Q	ω_n	Fc	BW	K
Valor	1,99	$1,26 \times 10^4 \text{s}^{-1}$	2005,62Hz	1000,93Hz	1 V/V

A fin de emular las condiciones reales que tendrían lugar en una aplicación real de la estrategia, se utilizó una amplitud de escalón de entrada al integrador de 0,4V y una ganancia del integrador de $f_s/32$ V/V. Estos valores fueron escogidos a fin de que la respuesta transitoria del filtro se pudiera establecer completamente, sin que la señal de rampa excursione por fuera de los rieles de alimentación del chip. Para esta configuración, la amplitud de la respuesta de salida del filtro fue de 100mV entre sus estados estacionarios. Una mayor amplitud de respuesta del filtro se podría haber logrado aumentando la ganancia del integrador, pero a costa de capturar un tiempo menor de respuesta transitoria. Para este caso, en la implementación real se usaría un amplificador adicional, acoplado a la salida del filtro, configurado en los recursos de PSoC1 a fin de facilitar las mediciones de test.

La Figura 4 presenta una simulación de respuesta transitoria del filtro, junto con la señal escalón de entrada al integrador y la rampa que este genera en respuesta.

La Tabla 3 muestra los valores de las EF obtenidos a partir del análisis de la respuesta rampa del filtro, así como los errores de cada parámetro respecto a su especificación. Los parámetros Q, ω_n y K se obtuvieron a partir de las características de la respuesta transitoria mostrados en la Figura 2, mientras que para determinar Fc y BW fue necesario reconstruir la función de transferencia del filtro a partir de los primeros y simular en MatLab su respuesta en frecuencia.

Tabla 3. Valores de los parámetros funcionales obtenidos por análisis de la respuesta rampa del filtro

Parámetro	Q	ω_n	Fc	BW	K
Valor	1,99	$1,27 \times 10^4 \text{s}^{-1}$	2016,03Hz	1011,69Hz	0,9796 V/V
Error	0,17%	0,52%	0,52%	0,24%	2,0365%

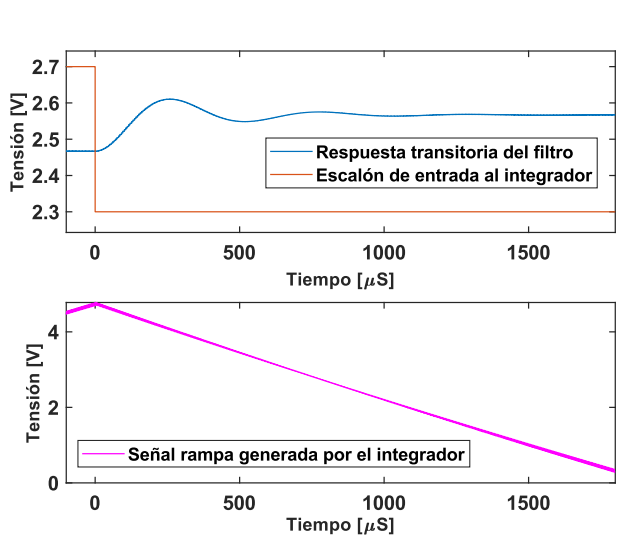


Figura 4. Simulación de respuesta transitoria

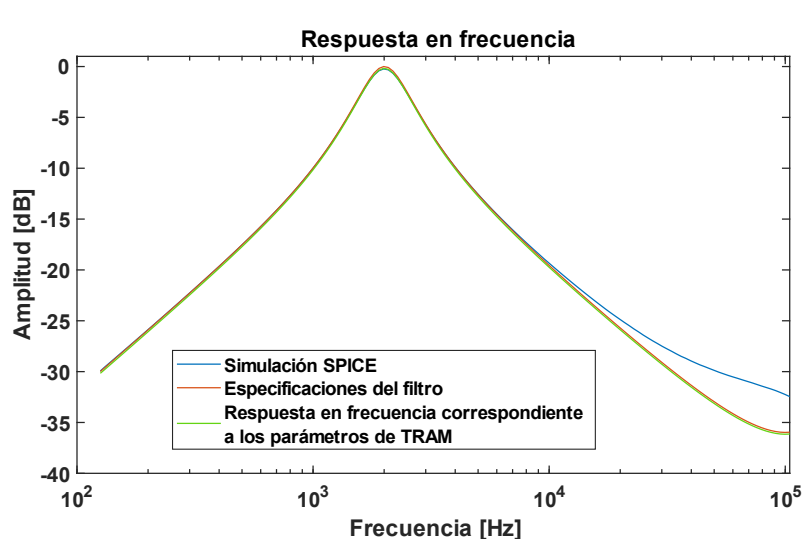


Figura 5. Comparativa entre los diagramas de bode

La Figura 6 muestra superpuestas la respuesta en frecuencia correspondiente a las especificaciones del filtro, la respuesta en frecuencia determinada a partir de las EF obtenidas mediante TRAM, y la respuesta en frecuencia de la simulación del filtro en SPICE. En la figura se aprecia que a partir de los 20KHz las curvas obtenidas a partir de las funciones de transferencia comienzan a divergir, lo cual es esperable debido a que el filtro opera en tiempo discreto y a que f_s está a solo un orden de magnitud por encima de dicho valor.

Conclusiones

En este trabajo se propone una implementación de test funcional para filtros pasabanda de capacidades conmutadas embebidos en sistemas en chip configurables, basada en TRAM. A fin de reducir los requerimientos instrumentales, esta se diseñó para implementar la generación de estímulos dentro del chip bajo prueba.

A fin de validar la propuesta, se modeló el esquema completo de test en una simulación SPICE, replicando las características de una implementación real de test en campo. Los resultados obtenidos, si bien son preliminares, permiten vislumbrar la aplicación de TRAM como método para determinar los parámetros funcionales de este tipo de filtros, habiéndose encontrado desviaciones relativamente bajas respecto a los valores nominales.

Referencias

- Andrade, A., Vieira, G., Balen, T. R., Lubaszewski, M., Azaïs, F., & Renovell, M. (2005). Built-in self-test of global interconnects of field programmable analog arrays. *Microelectronics Journal*, 36(12), 1112–1123. <https://doi.org/10.1016/J.MEJO.2005.06.001>
- Balen, T.R., Calvano, J. V., Lubaszewski, M. S., & Renovell, M. (2006). Functional Test of Field Programmable Analog Arrays. *24th IEEE VLSI Test Symposium*, 326–333. <https://doi.org/10.1109/VTS.2006.37>
- Balen, Tiago R., Calvano, J. V., Lubaszewski, M. S., & Renovell, M. (2007). Built-In Self-Test of Field Programmable Analog Arrays based on Transient Response Analysis. *Journal of Electronic Testing*, 23(3), 497–512. <https://doi.org/10.1007/s10836-007-5004-8>
- Calvano, J. V., Alves, V. C., & Lubaszewski, M. (1999). Fault detection in systems with 2nd order dynamics using transient analysis. *Proceedings. XII Symposium on Integrated Circuits and Systems Design (Cat. No.PR00387)*, 110–114. <https://doi.org/10.1109/SBCCI.1999.803099>
- Dri, E. A., Peretti, G. M., & Romero, E. A. (2020). A low-cost test strategy based on transient response method for embedded reconfigurable filters. *International Journal of Electronics*. <https://doi.org/10.1080/00207217.2020.1793412>
- Laprovitta, A., Peretti, G., & Romero, E. (2014). Applying the Analog Configurability Test Approach in a Wireless Sensor Network Application. *Journal of Electrical and Computer Engineering*, 2014, 1–14. <https://doi.org/10.1155/2014/309193>
- Lovay, M. A., Peretti, G. M., & Romero, E. A. (2015). Implementation of an Adaptive Filter using an Evolvable Hardware Strategy. *IEEE Latin America Transactions*, 13(4), 927–934. <https://doi.org/10.1109/TLA.2015.7106339>
- Ogata, K. (2010). *Modern control engineering* (Fifth ed.). Prentice-Hall.
- PSoC® Programmable System-on-Chip™ Datasheet. (2017).
- Two-Pole Band-Pass Filter Datasheet BPF2 (V 4.10). (2013). Cypress Semiconductor.
- User Module Datasheet: Analog Switched Capacitor PSoC Block Datasheet SCBLOCK. (2015). V 2.4. Cypress Semiconductor.