

# Desafíos de confiabilidad en dispositivos y circuitos nano-electrónicos de radiofrecuencia

## Reliability challenges in nano-electronic devices and RF circuits

Presentación: 6-7/10/2020

Doctorando:

**Sebastián Matías Pazos**

Laboratorio de Nanoelectrónica, Unidad de Investigación y Desarrollo de las Ingenierías del Consejo Nacional de Investigaciones Científicas y Técnicas, Facultad Regional Buenos Aires, Universidad Tecnológica Nacional - Argentina  
[spazos@frba.utn.edu.ar](mailto:spazos@frba.utn.edu.ar)

Director/a:

**Félix Palumbo**

Co-director/a:

**Fernando Silveira**

### Resumen

Las tecnologías de integración de circuitos nanoelectrónicos basadas en silicio se acercan al límite de su evolución. La introducción de nuevos materiales para los dispositivos de efecto de campo, incluyendo óxidos de alta constante dieléctrica y semiconductores de alta movilidad, presenta enorme potencial para la próxima generación de componentes nanoelectrónicos, en donde uno de los principales desafíos a afrontar es su confiabilidad. A su vez, el impacto de la degradación de los óxidos delgados a nivel de circuitos complejos cobra gran importancia a medida que las aplicaciones se vuelven más complejas y sus condiciones de trabajo más exigentes. En este trabajo se presenta una recolección de algunos resultados obtenidos en el área de confiabilidad con una visión integral del problema, proponiendo explicaciones físicas de la degradación en dispositivos nanoelectrónicos novedosos y generando estrategias para garantizar el desempeño de circuitos de radiofrecuencia frente al envejecimiento.

**Palabras clave:** Ruptura dieléctrica, Semiconductores III-V, Confiabilidad de óxidos, Circuitos Integrados, RF

### Abstract

Silicon-based nanoelectronics are reaching the end of the roadmap. The introduction of novel materials into field effect devices, including high dielectric constant (HK) oxides and high mobility semiconductors (III-V) presents enormous potential to drive the next generation of nanoelectronic components, where one of the main challenges to tackle is their reliability. Additionally, the impact of thin-oxide degradation on the circuit level becomes crucial as applications get more complex are forced to perform under demanding working conditions. This work presents a review of results regarding nanoelectronics reliability with an integral perspective, proposing physical explanations for the degradation of novel nano-electronic devices and generating strategies to guarantee the performance of radiofrequency integrated circuits against ageing.

**Keywords:** Dielectric Breakdown, III-V Semiconductors, Oxide Reliability, Integrated Circuits, RF

## Introducción

El incremento exponencial de la cantidad de circuitos integrados en todo ámbito socio-productivo y las fuertes limitaciones tecnológicas proyectadas para los dispositivos basados en silicio para que su aplicación pueda continuar con este auge (Duwury, 2018), han llevado a las comunidades científica e industrial a explorar nuevas soluciones tanto físicas (a nivel de materiales, dispositivos, tecnología (del Alamo, 2011)) como ingenieriles (a nivel de circuito, bloque, sistema). Para la próxima generación de dispositivos Metal-Oxido-Semiconductor (MOS) se plantea profundizar la aplicación de novedosos aislantes de gran constante dieléctrica en conjunción con el reemplazo de los sustratos de silicio por semiconductores de alta movilidad, como el germano (Ge) o los semiconductores compuestos III-V (InGaAs, GaAs, InP, GaN, etc.) como material de canal, que se proyectan como las alternativas más prometedoras (del Alamo, 2011). A pesar de su enorme atractivo, el cambio de materiales introduce modificaciones en el escenario a comprender desde el punto de vista físico. Específicamente, el caso del sistema MOS basado en semiconductores compuestos y óxidos HK, se presenta en sí mismo como un problema de múltiples desafíos, entre los cuales se destaca la calidad de la interfaz óxido-semiconductor y la ruptura progresiva de los aislantes de compuerta novedosos (Palumbo et al., 2014, 2019).

Por otra parte, la integración a nivel de sistema es otro de los ejes desafiantes para la tecnología nanoelectrónica. El aumento exponencial en el tiempo de los dispositivos interconectados, el auge de la tecnología móvil y la explosión en la adquisición y distribución de datos del entorno en forma masiva, está exacerbando la necesidad de sistemas complejos integrados en un único circuito con comunicaciones inalámbricas robustas en el contexto del IoT (Duwury, 2018). La necesidad de potencias elevadas de transmisión a frecuencias por encima del GHz, las complejas modulaciones de señal para compartir información y las condiciones exigentes de trabajo en aplicaciones móviles o portables (como elevadas temperaturas, ciclos de trabajo elevados y alta eficiencia energética) convierten al análisis de la confiabilidad en circuitos de RF en un desafío en sí mismo, incluso para tecnologías de integración maduras y conocidas por su robustez.

En este resumen, se presentan algunos de los resultados obtenidos alrededor de la confiabilidad de dispositivos nanoelectrónicos novedosos, puntualmente respecto a la ruptura dieléctrica, la inestabilidad paramétrica y del impacto de la confiabilidad a nivel de bloques fundamentales de radiofrecuencia en circuitos integrados. Con una metodología ascendente, se estudia inicialmente el origen físico de los problemas de confiabilidad para, a partir de estos resultados, proporcionar herramientas de ingeniería al diseño de bloques de comunicaciones inalámbricas. Para la totalidad de los resultados vinculados con esta línea de trabajo el lector es referido a las publicaciones asociadas (S. Pazos et al., 2017; S. M. Pazos et al., 2020; S. M. Pazos, Aguirre, Tang, et al., 2018; S.M. Pazos, Aguirre, Palumbo, et al., 2018; Sebastian Pazos et al., 2019; Sebastián Matías Pazos et al., 2020) y demás publicaciones del grupo de trabajo del Laboratorio de Nanoelectrónica de la UIDI-CONICET UTN.BA.

## Desarrollo

### *Ruptura e inestabilidad de óxidos HK sobre sustratos de alta movilidad*

Se planteó un experimento utilizando estructuras MIM con electrodos de Pt y Ti/Au y un aislante crecido por deposición de capas atómicas (ALD, *Atomic Layer Deposition*) para un espesor total de 7 nm. Se utilizó HfO<sub>2</sub> o Al<sub>2</sub>O<sub>3</sub> como aislante. Los dispositivos fueron provistos por el Departamento de Ingeniería de Materiales del Technion Institute for Technology, Israel. El estudio experimental consistió en ciclos de estrés a distintas tensiones con dos bancos experimentales. El primero consta de una SMU Keithley 2636B, que permite capturar todo el transitorio de ruptura desde corrientes tan bajas como 100 fA hasta los mA, con resolución temporal en las curvas I-t adquiridas rondando los 20 ms. El segundo involucró un amplificador de transimpedancia (TIA) de gran ancho de banda y un osciloscopio de captura digital. La resolución temporal alcanzada es del orden de los  $\mu$ s, con la limitación del rango dinámico a 2 órdenes de magnitud entre los niveles de 0.1  $\mu$ A y 1 mA según el nivel de ganancia utilizado. La **Fig. 1 (izq.)** muestra resultados

experimentales típicos para las mediciones con SMU para cada óxido. El comportamiento progresivo de la corriente bajo condiciones de estrés se observa claramente a distintas tensiones aplicadas. Se observa que, para tiempos de ruptura similares (indicados por el salto abrupto de la corriente a niveles de mA), las tensiones aplicadas sobre el Al<sub>2</sub>O<sub>3</sub> son sensiblemente mayores en comparación a las muestras basadas en HfO<sub>2</sub>. Las mediciones típicas utilizando un amplificador se muestran en la **Fig. 2 (der.)**, para ambos óxidos y diferentes tensiones. Las curvas capturadas muestran que la corriente puede incrementarse, durante la ruptura, en el rango de los uA con una fuerte dependencia con la tensión, observando tiempos totales de ruptura entre 1 ms y decenas de us.

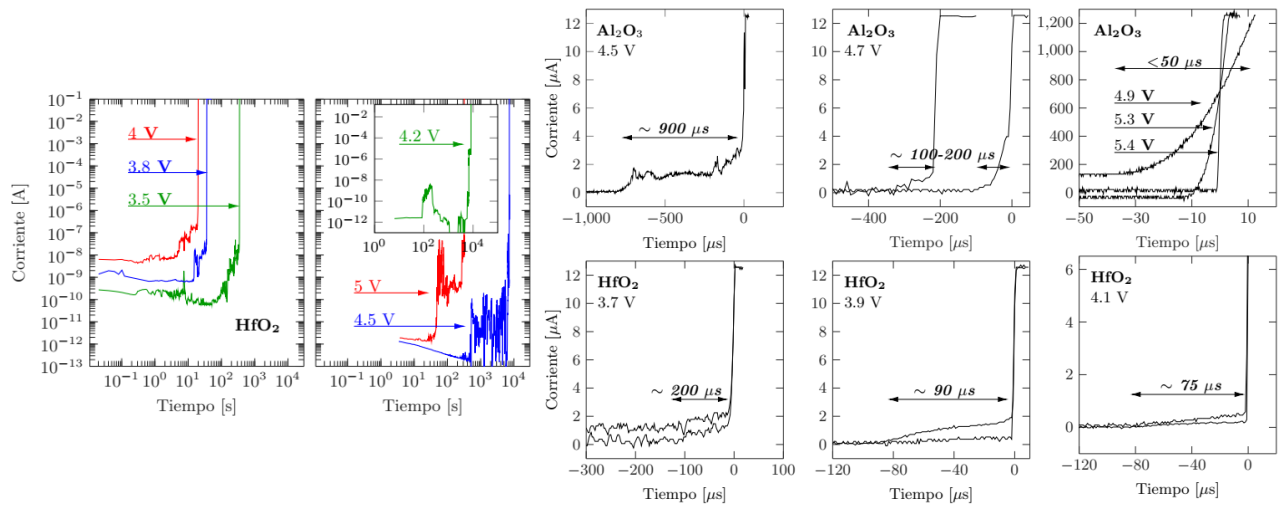


Figura 1: Mediciones experimentales I-t con SMU y TIA para ambos óxidos bajo estudio.

El resumen de estas mediciones se observa en la tasa de degradación extraída (velocidad de aumento de la corriente de ruptura) y representada en la **Fig. 2a** (mediciones con TIA) y **2b** (mediciones con SMU), mostrando que la Al<sub>2</sub>O<sub>3</sub> muestra tasas de degradación más lentas en la extrapolación a tensiones menores (sin estrés acelerado). Los resultados aquí reportados son consistentes con esta interpretación y no presentan influencia visible de los electrodos en la dinámica de ruptura, ya que la dinámica de ruptura se mantiene a pesar de la presencia de electrodos metálicos en lugar de un electrodo semiconductor como en las estructuras MOS. Para los resultados completos el lector es referido a Refs. (S. Pazos et al., 2017; S. M. Pazos et al., 2020).

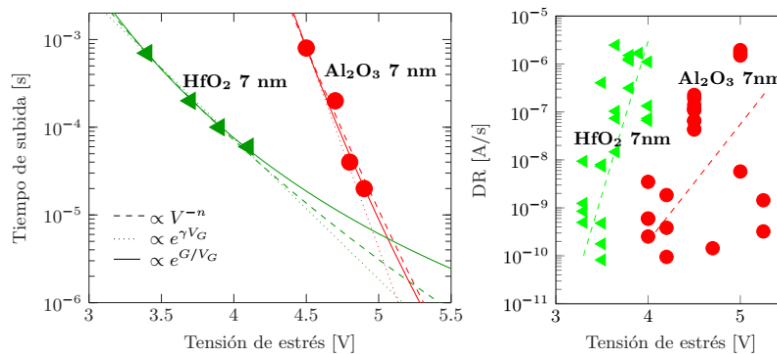


Figura 2: Tasa de degradación para ambos óxidos extraída de las mediciones experimentales.

Particularmente en estructuras MOS novedosas que incluyan semiconductores de alta movilidad y dieléctricos HK, la inestabilidad paramétrica de los óxidos debido al atrapamiento de carga y generación de estados de interfaz ha sido foco de intensa investigación por numerosos grupos alrededor del mundo. La caracterización eléctrica mediante mediciones de impedancia es la herramienta metodológica principal en este tipo de estudios, destacándose curvas de

capacidad-tensión (C-V). Los principales fenómenos observados en estas mediciones son la dispersión de la capacidad al variar la frecuencia (principalmente en la zona de acumulación de la curva C-V) y la histéresis en la curva para barridos de tensión en ambos sentidos a frecuencia constante. Ambos han sido indistintamente vinculados al atrapamiento de carga en defectos presentes a una distancia reducida de la interfaz, generalmente conocidos como “trampas de frontera” (Border Traps). Sin embargo, distintos métodos de fabricación han mostrado fuertes variaciones no correlacionadas de estos dos indicadores experimentales, lo cual genera incertidumbre respecto a los defectos que son puntualmente responsables de cada comportamiento.

Para evaluar el origen y la correlación entre estos comportamientos, se utilizaron dispositivos MOS con Al<sub>2</sub>O<sub>3</sub> sobre sustratos de n-InGaAs, pero bajo 4 recetas diferentes de fabricación que resultan en distintas calidades de interfaz y atrapamiento de carga en el óxido bajo tensión aplicada. Los dispositivos fueron provistos por el Departamento de Ciencias e Ingeniería de los Materiales de la Universidad de Stanford. Estas 4 alternativas se detallan en la **Fig. 3**. Las mediciones C-V en para distintas frecuencias en el rango 200 Hz - 1.1 MHz se muestra en las **Fig. 3a** a **3d** para cada juego de dispositivos MOS, en donde se observa dispersión a lo largo de toda la curva. Por su parte, las **Fig. 3e** a **3f** muestran mediciones de histéresis a partir de barridos DC. La cuantificación de estos resultados permite separar el origen de ambos indicadores de defectos, mostrando que deben ser individualmente caracterizados para cada estructura y no como indicadores de defectos de frontera indistintamente. Los detalles pueden encontrarse publicados en Ref. (S. M. Pazos, Aguirre, Tang, et al., 2018).

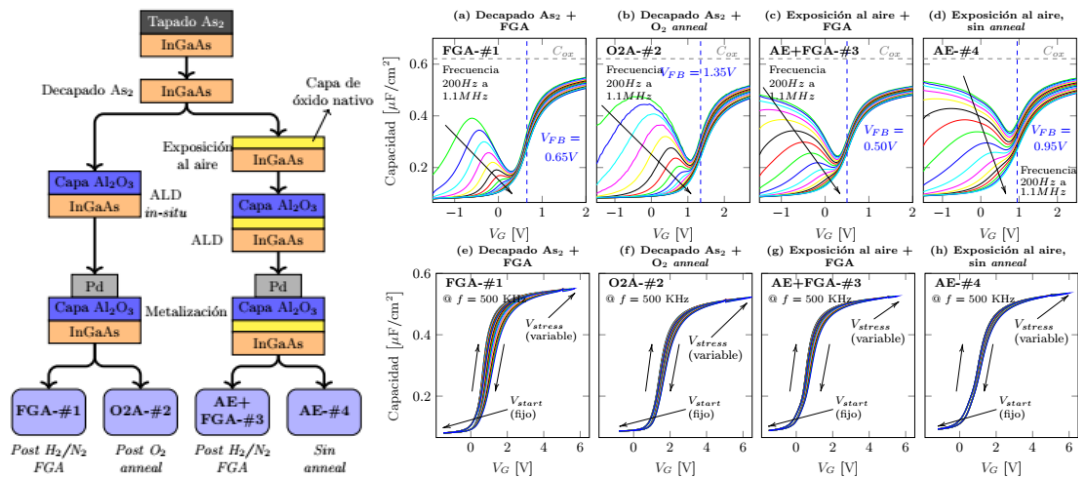


Figura 3: Estructuras MOS Pd/Al<sub>2</sub>O<sub>3</sub>/InGaAs bajo estudio y mediciones C-V de dispersión e histéresis.

### Confiabilidad en amplificadores monolíticos de radiofrecuencia

El impacto de la confiabilidad a nivel de los dispositivos sobre el desempeño del sistema en circuitos de RF es desde hace ya algunos años de particular interés para la comunidad científica e industrial. Las condiciones de funcionamiento de los transistores MOSFET en circuitos de RF, en términos de la convivencia entre señales de alta frecuencia y señales de DC, hacen del problema de fiabilidad uno considerablemente complejo de analizar. Se diseñó y fabricó un amplificador de potencia (PA) en 2.455 GHz en tecnología CMOS comercial de 130 nm como vehículo de pruebas experimentales de la degradación del desempeño de este circuito frente a envejecimiento. El PA es un caso particularmente interesante para analizar la confiabilidad ya que el dispositivo activo se encuentra bajo fuertes exigencias, sufriendo el estrés de elevados picos de tensión y corriente en cada ciclo de operación. La **Fig. 5 (izq.)** muestra una fotografía bajo microscopio óptico y la vista de planta (*layout*) del circuito diseñado. Sobre este circuito se realizaron mediciones de estrés acelerado del óxido. El principal mecanismo de degradación de desempeño está asociado al atrapamiento de carga y generación de estados de interfaz en el óxido de compuerta del transistor, fenómeno conocido como

inyección de portadores calientes (HCI, *Hot Carrier Injection*). La variación paramétrica del transistor bajo estrés, tanto de DC como de señales de RF, está signado por un incremento de tensión de umbral del dispositivo y una disminución de movilidad efectiva de los portadores del canal. Esto tiene un impacto directo en las cifras de mérito del amplificador diseñado. Puntualmente, las **Fig. 5a y 5b (der.)** muestran la pérdida relativa de potencia de salida con el incremento de la tensión de umbral del transistor y con el tiempo de estrés, respectivamente. Esta dinámica fue exitosamente reproducida en SPICE mediante un entorno de simulación propio que incluye la degradación instantánea del dispositivo bajo las señales de estrés asociadas al funcionamiento del PA, reportado en (S.M. Pazos, Aguirre, Palumbo, et al., 2018).

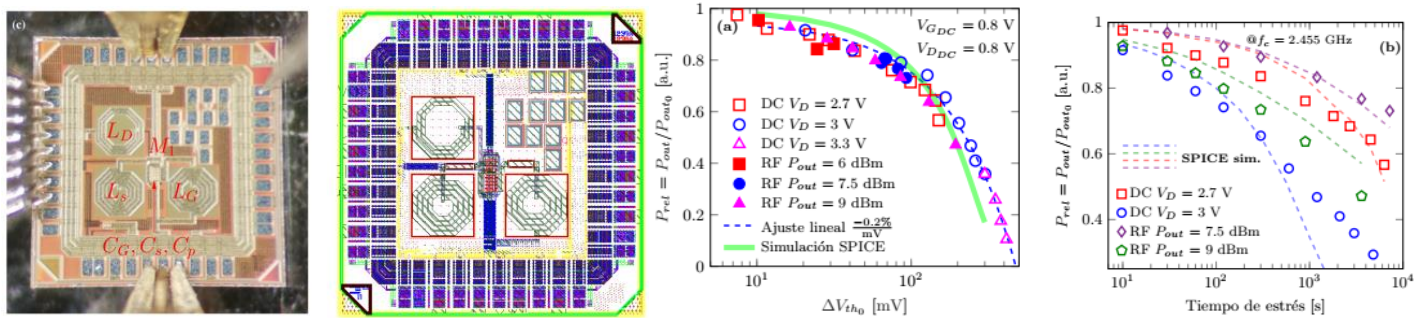


Figura 5: PA fabricado en tecnología CMOS de 130 nm. Mediciones y simulaciones de envejecimiento acelerado.

Si la exigencia sobre el circuito es elevada, la degradación paramétrica puede llegar a ser considerable en el rango de su vida útil a pesar del diseño específico. Esto puede cuantificarse en etapas de diseño como se demostró en la Ref. (Sebastian Pazos et al., 2019). Entonces, se propone una metodología de polarización en lazo cerrado que compense la degradación paramétrica del dispositivo activo durante la vida útil del PA, garantizando una menor pérdida de potencia de salida por envejecimiento del transistor. La idea se encuentra representada en el circuito esquemático de la **Fig. 6 (izq.)**, donde los transistores  $M_2$  y  $M_3$  son una fracción del transistor principal del PA,  $M_{PA}$  que actúan como testigo de las condiciones iniciales de polarización de la degradación paramétrica del transistor principal, mediante resistores conectados en serie. Las caídas de potencial de estos resistores son enviados a la entrada de un amplificador operacional, que intenta mantener iguales las caídas de potencial frente a la degradación del transistor principal, compensando la polarización a lo largo del tiempo. Los principales resultados de esta estrategia, presentados en su totalidad en la Ref. (Sebastián Matías Pazos et al., 2020), se destacan en la **Fig. 6 (der.)**. La pérdida relativa de potencia (**6a**), la pérdida de eficiencia (**6b**) y el incremento de la alinealidad (**6c**) muestran claras ventajas al utilizar la polarización adaptativa. Cabe destacar que la estrategia propuesta representa un incremento despreciable de consumo de energía y área de silicio extra.

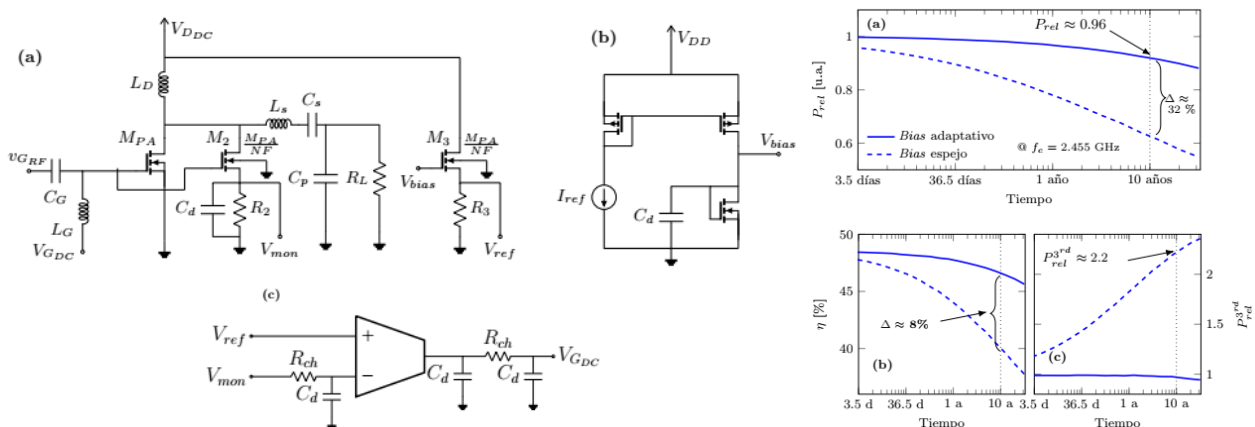


Figura 6: Esquemático de la estrategia de polarización adaptativa y resultados de reducción de envejecimiento.

## Conclusiones

La nueva generación de componentes nanoelectrónicos basados en materiales novedosos presenta un nuevo escenario a comprender frente al desafío de la confiabilidad. En este trabajo, se presentaron contribuciones realizadas a lo largo de la tesis doctoral en el aspecto de la confiabilidad de dispositivos basados en materiales novedosos y circuitos de radiofrecuencia monolíticos. El aspecto térmico de la ruptura progresiva y el origen de la inestabilidad paramétrica en estructuras MOS basadas en óxidos de alta constante dieléctrica y semiconductores de alta movilidad se presentan como dos contribuciones claras a la comprensión general de los fenómenos que limitan la confiabilidad de estos dispositivos. Una extrapolación a aplicaciones más inmediatas, considerando la alta demanda de circuitos de radiofrecuencia, se presenta para amplificadores de potencia de RF, contribuyendo con una visión integral de la confiabilidad frente a degradación paramétrica que contempla la robustez del diseño. Estos son ejemplos puntuales de los numerosos desafíos de confiabilidad que se presentan en la nanoelectrónica moderna, tanto a nivel físico (materiales, dispositivos, tecnología) como de ingeniería (circuito, bloque, sistema). Para poder responder a estos desafíos, una visión de la confiabilidad que integre de forma eficiente la visión fundamental de los fenómenos físicos con la complejidad de diseño y aplicación de sistemas complejos es una herramienta necesaria y de gran potencial para la explotación de la generación venidera de sistemas nanoelectrónicos.

## Agradecimientos

Se agradece especialmente a los colaboradores internacionales por las discusiones y muestras provistas: K. Tang, P. McIntyre (Stanford, EU), E. Yalom, I. Krylov, M. Eizenberg (Technion, Israel), M. Lanza (Soochow Univ., China), F. Silveira (UDELAR, Uruguay), S. Lombardo (CNR, Italia) y E. Miranda (UAB, España). MINCyT, CONICET y UTN.BA proveen financiamiento bajo los proyectos: PICT 2017-2526, 2016-0579; PICTE 2018-0192, PME 2015-0196; PIDS UTN 4936, 4764TC, 5219TC, 5182, 6615; PIP CONICET PIP11220130100077CO; beca doctoral interna CONICET.

## Referencias

- del Alamo, J. A. (2011). Nanometre-scale electronics with III-V compound semiconductors. *Nature*, *479*(7373), 317–323. <https://dx.doi.org/10.1038/nature10677>
- Duwury, C. (2018). The many aspects of robustness for IoT devices. *IEEE Electron Devices Society Newsletter*, *25*(3), 7–9. <http://www.ieee.org/web/aboutus/whatis/policies/p9-26.html>
- Palumbo, F., Lombardo, S., & Eizenberg, M. (2014). Physical mechanism of progressive breakdown in gate oxides. *Journal of Applied Physics*, *115*(22), 224101. <https://dx.doi.org/10.1063/1.4882116>
- Palumbo, F., Wen, C., Lombardo, S., Pazos, S., Aguirre, F., Eizenberg, M., Hui, F., & Lanza, M. (2019). A Review on Dielectric Breakdown in Thin Dielectrics: Silicon Dioxide, High- $k$ , and Layered Dielectrics. *Advanced Functional Materials*, *30*(18), 1900657. <https://dx.doi.org/10.1002/adfm.201900657>
- Pazos, S., Aguirre, F., Miranda, E., Lombardo, S., & Palumbo, F. (2017). Comparative study of the breakdown transients of thin Al<sub>2</sub>O<sub>3</sub> and HfO<sub>2</sub> films in MIM structures and their connection with the thermal properties of materials. *Journal of Applied Physics*, *121*(9), 094102. <https://dx.doi.org/10.1063/1.4977851>
- Pazos, S. M., Aguirre, F. L., Tang, K., McIntyre, P., & Palumbo, F. (2018). Lack of correlation between C-V hysteresis and capacitance frequency dispersion in accumulation of metal gate/high- $k$ /n-InGaAs metal-oxide-semiconductor stacks. *Journal of Applied Physics*, *124*(22), 224102. <https://dx.doi.org/10.1063/1.5031025>
- Pazos, S. M., Boyeras Baldomá, S., Aguirre, F. L., Krylov, I., Eizenberg, M., & Palumbo, F. (2020). Impact of bilayered oxide stacks on the breakdown transients of metal-oxide-semiconductor devices: An experimental study. *Journal of Applied Physics*, *127*(17), 174101. <https://dx.doi.org/10.1063/1.5138922>
- Pazos, S.M., Aguirre, F. L., Palumbo, F., & Silveira, F. (2018). Performance-reliability trade-offs in short range RF power amplifier design. *Microelectronics Reliability*, *88–90*, 38–42. <https://dx.doi.org/10.1016/j.microrel.2018.06.089>
- Pazos, Sebastian, Aguirre, F., Palumbo, F., & Silveira, F. (2019). Reliability-aware design space exploration for fully integrated RF CMOS PA. *IEEE Transactions on Device and Materials Reliability*, *20*(1), 33–41. <https://dx.doi.org/10.1109/TDMR.2019.2957489>
- Pazos, Sebastián Matías, Aguirre, F. L., Palumbo, F., & Silveira, F. (2020). Hot-carrier-injection resilient RF power amplifier using adaptive bias. *Microelectronics Reliability*, *In Press*, 1–1. In press