

# Propuesta de Test Funcional y Estructural para Filtros Analógicos Embebidos en Hardware Reconfigurable Basadas en Análisis de Respuesta Transitoria

## Functional and Structural Test Proposal for Analog Filters Embedded in Reconfigurable Hardware Based on Transient Response Analysis

Presentación: 11/10/2019

### Doctorando:

**Emanuel Dri**

Universidad Tecnológica Nacional – Facultad Regional Villa María

emanueldri@frvm.utn.edu.ar

### Director/es:

**Dr. Eduardo Romero****Dra. Gabriela Peretti**

### Resumen

En este trabajo se presenta una estrategia de test basada en análisis de respuesta transitoria para filtros analógicos de capacidades conmutadas embebidos en dispositivos PSoC1 de Cypress® Semiconductor. La propuesta es de bajo costo y puede ser usada para mantenimiento en campo. La solución de test consiste en establecer bloques reconfigurables analógicos de PSoC1 como filtros pasabajos de segundo orden y evaluar su respuesta transitoria. El estímulo de entrada se genera internamente, mientras que la respuesta se procesa mediante un osciloscopio y posteriormente con una PC. Se demuestra experimentalmente que la estrategia es capaz de determinar especificaciones del filtro bajo test con bajo error y dispersión. Asimismo, es capaz de detectar en su totalidad fallas introducidas mediante reconfiguración de recursos del dispositivo. No obstante, para evaluar la capacidad de detectar fallas en componentes que no son accesibles para el usuario, se plantea un modelo de simulación de los circuitos bajo test. Los resultados preliminares señalan un buen grado de correlación entre el filtro real y el simulado, con y sin fallas.

Palabras claves: Método de análisis de respuesta transitoria, test de circuitos embebidos de señales mixtas, test funcional, test estructural, test de filtro analógico embebido.

### Abstract

This work introduces a low-cost test strategy based on transient response analysis for analog filters embedded in Cypress® Semiconductor PSoC1 devices. The proposal has associated a low cost and can be used for field maintenance. The test solution consists of setting PSoC1 reconfigurable blocks as second-order low pass filters and evaluating their transient response. Test stimuli are generated internally, while the response is processed using an oscilloscope and next, on a PC. The ability of the strategy to determine filter specifications with low errors and dispersions is demonstrated experimentally. Furthermore, it can detect all faults introduced by the reconfiguration of the device resources. However, to evaluate its capability of detecting faults in components not accessible by the user, a simulation model of the circuits under test is proposed. Preliminary results indicate a good degree of correlation between the real and the simulated filter, with and without faults.

Keywords: Transient response analysis method, embedded mixed-signal circuit testing, functional test, structural test, analog filter test.

## 1. Introducción

El hardware reconfigurable se caracteriza por poseer una matriz de elementos de circuito con interconexiones que dependen de valores presentes en estructura de memoria reprogramable. Ello permite al usuario diseñar circuitos que pueden ser modificados a partir de una rescritura en memoria. Asociadas a esta flexibilidad existen numerosas

ventajas, tales como reducción del costo de producción y consumo energético de productos finales mediante la sustitución de múltiples componentes discretos por un solo circuito integrado e implementar estrategias tolerantes a fallos [1].

Sin embargo, esa misma flexibilidad también dificulta el test de estos dispositivos, porque son capaces de implementar una gran cantidad de topologías que deben probarse para garantizar que están exentas de fallas. Adicionalmente, la mayoría de sus componentes no son accesibles desde el exterior, limitando en consecuencia su controlabilidad y observabilidad. Por otro lado, los circuitos configurables cuya naturaleza es de carácter analógica o de señal mixta presentan dificultades para el test que son inherentes a su naturaleza. Estas son el procesamiento de señales continuas [1] y a que sus componentes suelen formar bucles de realimentación, lo que imposibilita en la mayoría de los casos probarlos por separado. Debido a esto, existen escasos trabajos que direccionen el test de circuitos analógicos configurables embebidos (EACCs, *embedded analog configurable circuits*), entre los cuales destacan [2–6].

Una aplicación frecuente de los sistemas embebidos es el procesamiento de señales, que generalmente requiere de filtrado analógico. Por eso algunas plataformas de sistemas en chip proveen EACCs capaces de implementar filtros, haciendo necesario contar con soluciones de test adecuadas para este tipo de circuitos. Una estrategia de test de bajo costo para filtros analógicos es el método de análisis de respuesta transitoria (TRAM, *transient response analysis method*) [7]. Este se basa en provocar al circuito bajo test (CUT, *circuit under test*) una respuesta en el tiempo sub-amortiguada y evaluar si sus atributos se encuentran dentro de rangos asociados a su operación nominal libre de fallas. En caso contrario, se asume que se han detectado fallas.

En este trabajo se presenta una estrategia de test en campo de bajo costo para EACCs, adoptando como caso de estudio los dispositivos PSoC1 de Cypress® Semiconductor. PSoC1 es una plataforma de sistema en chip, que cuenta con un microcontrolador de 8 bits, junto con bloques digitales y analógicos (EACCs) reconfigurables. La solución de test que proponemos consiste en configurar los EACCs como filtros pasabajos de segundo orden de capacidades conmutadas (SC, *switched capacitor*) y evaluarlos empleando TRAM. A fin de probar la aplicabilidad de la estrategia que proponemos, los esfuerzos se enfocaron en explorar la aplicabilidad de TRAM como test funcional y como test estructural.

## 2. Test funcional utilizando TRAM

La propuesta de TEST utilizando TRAM se utiliza para determinar las especificaciones del filtro bajo test con un enfoque de tipo funcional. De esta forma, se considera que un circuito no tiene fallas si satisface sus especificaciones establecidas previamente. Resultados de esta propuesta se presentaron en [8].

### a. Filtros bajo test

La Figura 1 muestra la topología de filtro pasabajos SC de segundo orden escogida en el estudio [9]. Estos filtros utilizan dos bloques analógicos de la plataforma, que se señalan en la figura mediante recuadros. Los nodos de entrada y salida se simbolizan como  $V_{in}$  y  $V_{out}$  respectivamente.  $\phi_1$  y  $\phi_2$  son señales de reloj de igual frecuencia ( $f_s$ ), no solapadas, que conmutan el estado de las llaves. Estas se rotulan, en la figura, con la letra S seguida de un número. Durante la operación normal del filtro las llaves S11 y S12 permanecen cerradas. Estas son aprovechadas por otras topologías implementables sobre los EACCs, como amplificadores SC y comparadores SC. Los capacitores del esquema representan arreglos de capacitores de 80fF, que es la capacidad base del chip [10]. Los capacitores C1 a C4 pueden adoptar múltiplos enteros la capacidad base entre 0 y 31 veces, mientras que CA y CB solamente admiten 16 o 32 veces dicho valor.

A partir de las especificaciones señaladas en la Tabla 1 se generó la configuración de filtro de la Tabla 2, tomando partido de un asistente de diseño de filtros incluido en el entorno de desarrollo provisto por el fabricante. Esta misma configuración se usó en este y los demás estudios del presente trabajo.

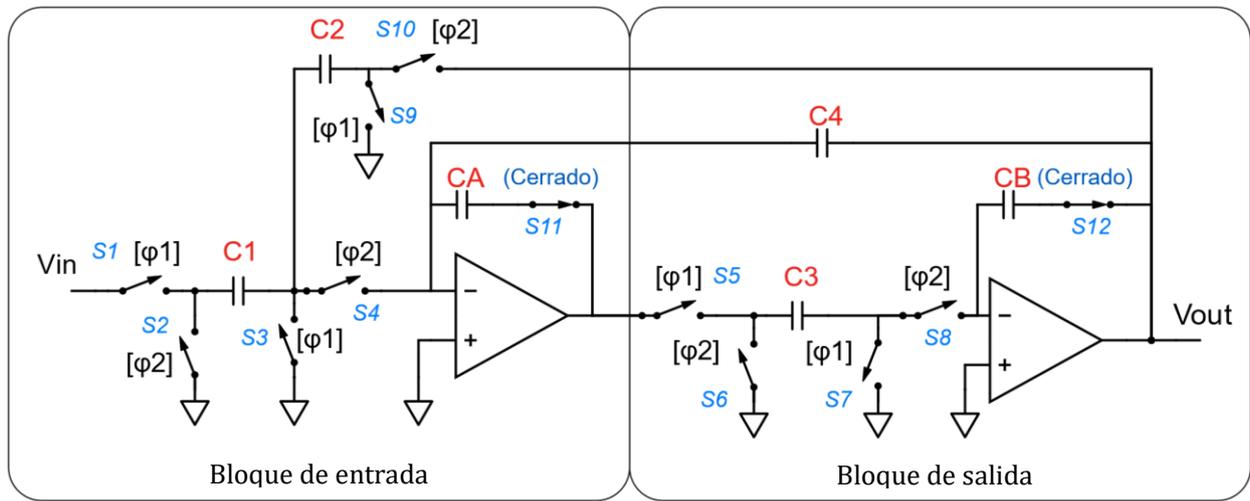


Figura 1. Diagrama esquemático de los filtros pasabajos en PSoC1

Tabla 1. Especificaciones del filtro bajo test

| Característica                    | Valor         |
|-----------------------------------|---------------|
| Aproximación                      | Chebyshev 1dB |
| Frecuencia -3dB [Hz]              | 2552.5        |
| Rizando en la banda de paso [V/V] | 1.14          |
| Ganancia DC [V/V]                 | 1.0           |
| $\omega_p$ [rad/s]                | 12685         |
| $Q_p$                             | 0.98          |

Tabla 2. Configuración del filtro bajo test

| Capacitores (múltiplos de 80fF) |    |    |    |    |    | fs     |
|---------------------------------|----|----|----|----|----|--------|
| C1                              | C2 | C3 | C4 | CA | CB |        |
| 1                               | 1  | 4  | 16 | 32 | 32 | 200KHz |

### b. Configuración experimental y procedimiento de análisis de datos

El tipo de estímulos necesario para excitar filtros pasabajos en TRAM es una entrada en escalón. Para minimizar los requerimientos instrumentales, esta se produjo dentro del chip implementando un generador de señales sobre un EACC libre. Empleando recursos analógicos adicionales del chip se condujeron los estímulos de test hacia los filtros bajo prueba, y su respuesta hacia un pin de salida. La Figura 2 muestra una respuesta transitoria típica.  $V_{ini}$  y  $V_{final}$  representan las tensiones estacionarias,  $V_{peak}$  la tensión de pico,  $T_p$  el tiempo de pico y  $OS$  es el porcentaje de sobreimpulso.

Un osciloscopio digital fue empleado como medio de adquisición de datos, los cuales se recolectaron en una computadora conectada a este mediante su interfaz VISA para posteriormente analizarlos. Mediante un script en MatLab se determinaron los atributos de la Figura 2 a partir de las formas de onda recolectadas, los cuales se usaron para calcular las especificaciones de los filtros [11]: ganancia  $K$ , frecuencia de polo  $\omega_p$  y factor de calidad  $Q_p$ . A partir de estos tres parámetros es posible reconstruir, también, la función de transferencia del filtro y usarla para obtener por simulación otros dos de interés: la frecuencia -3dB  $F_c$  y el rizando en la banda de paso  $Mr$ .

La topología de la Figura 1 admite 14 implementaciones posibles dentro del arreglo EACCs del chip. Cada una de ellas fue replicada en 8 chips PSoC1 CY8C29466-PXI y evaluada mediante la estrategia propuesta. En cada caso se recolectaron y analizaron 100 formas de onda de forma automatizada. Para mitigar los efectos del ruido en las mediciones se configuró el osciloscopio para promediar 128 veces las formas de onda capturadas antes devolverlas hacia la computadora.

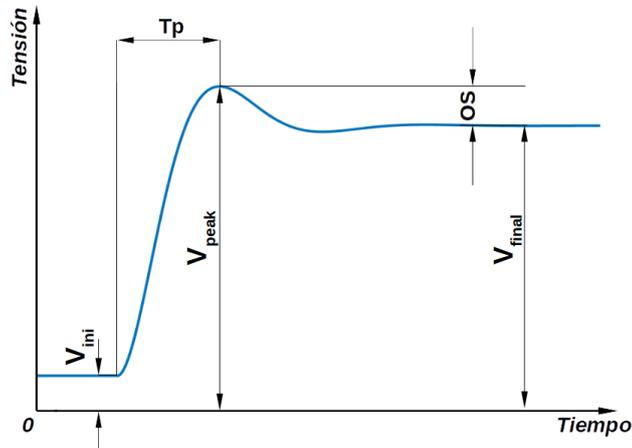


Figura 2. Atributos de la respuesta transitoria de los filtros bajo test

### c. Resultados experimentales

La Tabla 3 muestra los valores de las especificaciones determinados a través de la aplicación de la estrategia propuesta resumidos para todo el conjunto de muestras (11200 formas de onda). Se señala como dispersión global a la relación rango a media de toda la población.

Tabla 3. Valores de las especificaciones medidas experimentalmente

|                          | <b>K [V/V]</b> | <b>Qp</b> | <b><math>\omega_p</math> [rad/s]</b> | <b>Fc [Hz]</b> | <b>Mr [dB]</b> |
|--------------------------|----------------|-----------|--------------------------------------|----------------|----------------|
| <b>Máximo</b>            | 1.001          | 0.990     | 13185.5                              | 2632.9         | 1.147          |
| <b>Promedio</b>          | 0.978          | 0.982     | 12924.9                              | 2593.8         | 1.141          |
| <b>Mínimo</b>            | 0.965          | 0.961     | 12650.0                              | 2543.4         | 1.126          |
| <b>Dispersión global</b> | 3.74%          | 2.93%     | 4.14%                                | 3.45%          | 1.89%          |

La tabla muestra que las especificaciones muestran una dispersión menor al 4,5% para toda la población de mediciones y una desviación máxima respecto a sus valores teóricos (Tabla 1) menor al 4%. El alto grado de convergencia y las bajas desviaciones halladas en estos resultados permiten señalar que el método de test es compatible con esta categoría de filtros embebidos. Asimismo, la baja carga instrumental de la estrategia propuesta (un osciloscopio y una computadora portátil) hace compatible su uso como test de mantenimiento en campo.

## 3. Test estructural utilizando TRAM

### a. Conceptos generales

El paradigma de test estructural considera la detección de fallas sobre la estructura y componentes del CUT. El mismo setup experimental presentado en la sección 2 se utiliza para evaluar la capacidad de TRAM para detectar fallas estructurales. En particular, se direcciona el test a la detección de fallas en los capacitores y en las llaves del filtro. Para cada falla considerada, se realiza una medición de la respuesta del filtro y se computan los parámetros de test (PT)  $T_p$ ,  $K$  y porcentaje de sobreimpulso  $OS\%$ , el cual se calcula mediante la expresión (1), a partir de los atributos  $V_{ini}$ ,  $V_{fin}$  y  $V_{peak}$ . Se asume que se detecta la falla si alguno de sus PTs está fuera de los rangos obtenidos mediante mediciones experimentales en varios chips, que se señalan en la Tabla 4.

$$OS\% = \frac{V_{peak} - V_{fin}}{V_{fin} - V_{ini}} \times 100\% \quad (1)$$

Tabla 4. Rangos de los valores de los PTs obtenidos experimentalmente

| <b>OS%</b> |         | <b>K [V/V]</b> |        | <b><math>T_p</math> [<math>\mu</math>s]</b> |         |
|------------|---------|----------------|--------|---|---------|
| Máximo     | Mínimo  | Máximo         | Mínimo | Máximo                                      | Mínimo  |
| 15,909%    | 14,760% | 1,001          | 0,965  | 288,102                                     | 277,830 |

Dado que no es posible inyectar experimentalmente todas las fallas consideradas en este trabajo, debe recurrirse a una inyección de fallas por simulación. Sin embargo, esta evaluación requiere de modelos de simulación de PSOC1, los cuales no son provistos por el fabricante. A fin de brindar una solución a esta circunstancia se abordó el desarrollo de

un modelo de PSoC1 en SPICE, a partir de la información funcional disponible de los componentes de los EACCs y diagramas esquemáticos de alto nivel de abstracción presentes en la documentación del fabricante [19]. El modelo de simulación desarrollado se verificó contrastándolo con la respuesta escalón de los filtros reales libres de fallas con la configuración de la Tabla 2. La Figura 3 muestra la forma de onda de respuesta transitoria de un filtro de PSoC1 superpuesta a la del modelo de simulación.

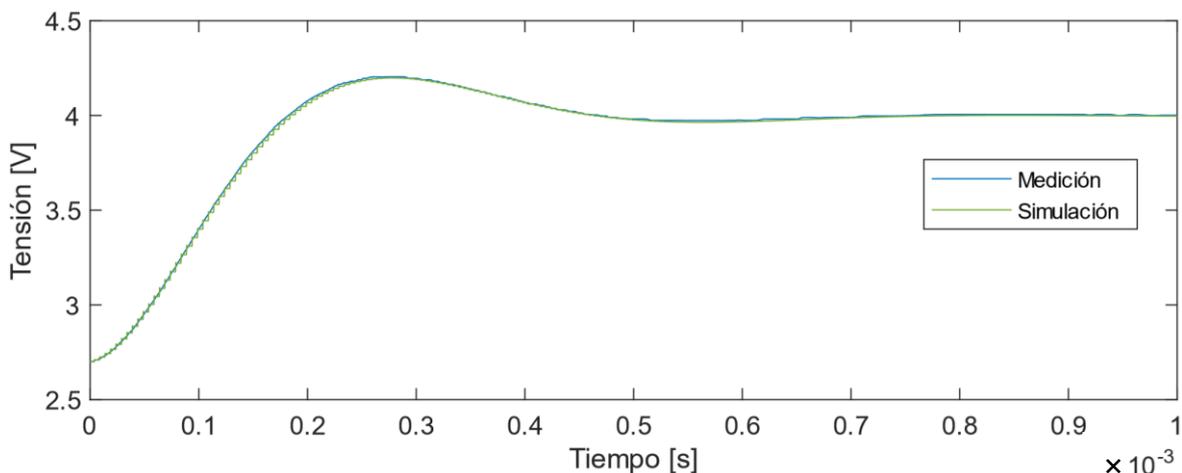


Figura 3. Comparación entre la respuesta de un filtro de PSoC1 y la del modelo de simulación

### b. Resultados experimentales

En una primera instancia de evaluación, se consideraron únicamente aquellas fallas que pueden ser configuradas en el dispositivo. De esta forma, se pueden contrastar resultados de laboratorio con los obtenidos por simulación utilizando el modelo desarrollado. La Tabla 5 presenta los valores de fallas en capacitores. Los valores de los capacitores se expresan como múltiplos de 80fF y la notación de los casos representa la variación introducida sobre la configuración de la Tabla 1. Cada uno de los casos de fallas computados exhibió un alto grado de correlación en las simulaciones respecto a los filtros reales. Estos resultados, si bien son preliminares, auguran la posibilidad de utilizar el modelo propuesto [12].

Tabla 5. Casos de falla evaluados

| Caso      | C1+1 | C2+1 | C3-1 | C3+1 | C4-1 | C4+1 | CA/2 | CA/2 |
|-----------|------|------|------|------|------|------|------|------|
| Capacitor | C1   | C2   | C3   | C3   | C4   | C4   | CA   | CB   |
| Valor     | 2    | 2    | 3    | 5    | 15   | 17   | 16   | 16   |

La Figura 4 muestra la forma de onda libre de fallas de uno de los filtros bajo test (trazo grueso) superpuesta a algunos de los casos de falla evaluados.

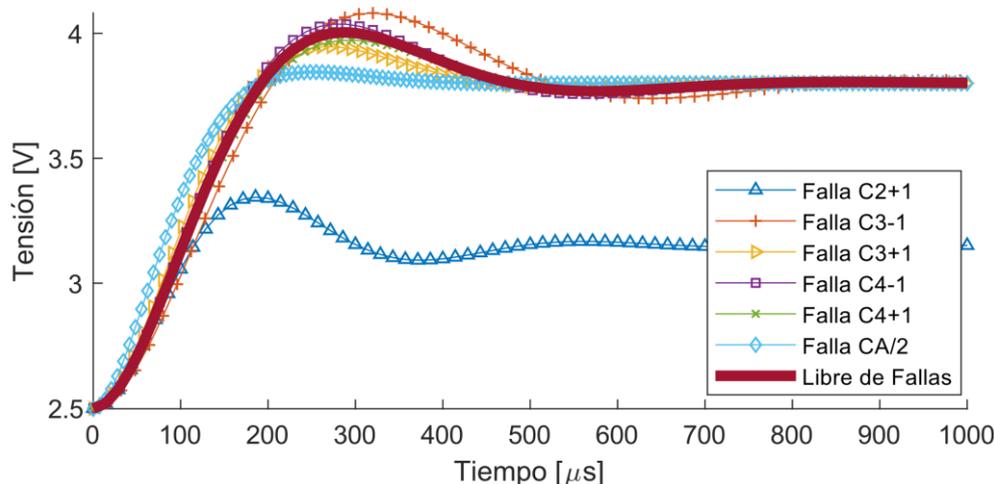


Figura 4. Forma de onda libre de fallas superpuesta a varios casos de falla

Como resultado de este estudio se pudieron detectar todas las fallas inyectadas, lo cual resulta auspicioso para la aplicación de este método a tests estructurales en este tipo de filtros. Sin embargo, la población de fallas aquí evaluadas está limitada a casos que se pueden inyectar desde el nivel de usuario, existiendo varios componentes de los filtros de

PSoC1 que no fueron accesibles en este estudio. Estos serán abordados en un trabajo futuro mediante simulaciones de fallas sobre el modelo desarrollado.

## 4. Conclusiones

En este trabajo presentamos estrategias de test de bajo costo para filtros analógicos embebidos en dispositivos PSoC1. Mediante procedimientos experimentales se evaluó la compatibilidad de TRAM como test funcional y estructural, obteniéndose resultados auspiciosos para la implementación del método en ambos casos. Asimismo, la baja carga instrumental de las estrategias presentadas viabiliza su utilización para mantenimiento en campo. Finalmente, se presentó un modelo de simulación que facilita estudios futuros de tests estructurales.

## 5. Referencias

- [1] L.-T. Wang, C.E. Stroud, N.A. Touba, Wang, *System-on-Chip Test Architectures, Nanometer Design for Testability*, 1st ed., Morgan Kaufmann, Amsterdam, 2008.
- [2] T.R. Balen, A.Q. Andrade, F. Azais, M. Lubaszewski, M. Renovell, Applying the Oscillation Test Strategy to FPAA's Configurable Analog Blocks, *J. Electron. Test.* 21 (2005) 135–146. doi:10.1007/s10836-005-6143-4.
- [3] T.R. Balen, J.V. Calvano, M.S. Lubaszewski, M. Renovell, Built-In Self-Test of Field Programmable Analog Arrays based on Transient Response Analysis, *J. Electron. Test.* 23 (2007) 497–512. doi:10.1007/s10836-007-5004-8.
- [4] G. Pereira, A. Andrade, T.R. Balen, M. Lubaszewski, F. Azais, M. Renovell, Testing the interconnect networks and I/O resources of field programmable analog arrays, *Proc. IEEE VLSI Test Symp.* (2005) 389–394. doi:10.1109/VTS.2005.85.
- [5] A. Laknaur, S.R. Durbha, H. Wang, Built-in-self-testing techniques for programmable capacitor arrays, *J. Electron. Test. Theory Appl.* 22 (2006) 449–462. doi:10.1007/s10836-006-9459-9.
- [6] S. Shah, J. Hasler, Tuning of Multiple Parameters with a BIST System, *IEEE Trans. Circuits Syst. I Regul. Pap.* 64 (2017) 1772–1780. doi:10.1109/TCSI.2017.2652123.
- [7] A. Laprovitta, G. Peretti, E. Romero, S. Mourad, A low-cost configurability test strategy for an embedded analog circuit, *Microelectronics J.* 43 (2012) 745–755. doi:10.1016/j.mejo.2012.07.009.
- [8] J. V Calvano, V.C. Alves, M. Lubaszewski, Fault detection methodology for second order filters using compact test vectors transient analysis, in: *Proc. Third Int. Work. Des. Mix. Integr. Circuits Appl. (Cat. No.99EX303)*, 1999: pp. 18–24. doi:10.1109/MMICA.1999.833585.
- [9] E. A. Dri, G. M. Peretti, E. A. Romero, A low-cost test strategy based on transient response method for embedded reconfigurable filters, *Enviado a Int. J. Electron.* (2019).
- [10] Two-Pole Low-Pass Filter Datasheet LPF2, V 4.10, Cypress Semiconductor, San Jose, CA, 2013.
- [11] CY8C29466/CY8C29566/CY8C29666/CY8C29866, PSoC® Programmable System-on-Chip™ Datasheet, San Jose, CA, 2017.
- [12] K. Ogata, *Modern control engineering*, Fifth ed., Prentice-Hall, New Jersey, 2010.
- [13] E.A. Dri, E.A. Romero, G.M. Peretti, Detección de fallas estructurales en secciones analógicas configurables de sistemas en chip, in: *Jornadas Cienc. y Técnica CyTAL, Universidad Tecnológica Nacional, Villa María - Cba (Argentina)*, 2018: pp. 123–128.